

PLANIFICACIÓN 2011

Dispositivos Lógicos Programables

INFORMACIÓN GENERAL

Carrera	Docente Responsable	
Ingeniería en Informática	Santiago Roatta	
Departamento	Carga Horaria	
Informática	Carga Horaria Cuatrimestral	75 hs
Plan de Estudios	<i>TEORÍA</i>	20 hs
Plan 2006	<i>PRÁCTICA</i>	
Carácter	Formación Experimental	10 hs
Cuatrimestral	Resolución de Problemas	15 hs
Equipo Docente	Resolución de Problemas de Ingeniería	10 hs
Eugenio Juan Manuel Padula	Proyectos y diseños de procesos	12 hs
Santiago Roatta	<i>CONSULTAS Y OTRAS ACTIVIDADES</i>	0 hs
	<i>EVALUACIONES</i>	8 hs

SITIO WEB DE LA ASIGNATURA

CONTENIDOS MÍNIMOS DE LA ASIGNATURA

La asignatura optativa Dispositivos lógicos programables está organizada en dos unidades. La unidad 1 comprende los **dispositivos lógicos programables de arquitectura configurable**. La configurabilidad es un concepto asociado a aquellos circuitos integrados en donde su función se puede modificar utilizando solamente una parte de los elementos que lo componen y/o cambiando la interconexión entre ellos. En la literatura anglosajona se suelen denominar simplemente programables. Es posible clasificar a estos circuitos integrados en dos grandes grupos. Los más simples son aquellos con recursos de interconexión concentrados o de organización matricial (en inglés **Programmable logic devices o PLD**). Los más complejos poseen recursos de interconexión distribuidos (en inglés **Field programmable gate array o FPGA**). La unidad 2 trata acerca de los **dispositivos lógicos programables de arquitectura fija**. Estos circuitos integrados se caracterizan por poseer un sistema físico –hardware- en el que los elementos que lo componen están unidos mediante conexiones fijas que no pueden ser modificadas por el usuario. Dentro de esta categoría, los circuitos integrados más complejos que podemos encontrar son los **microcontroladores**. Un microcontrolador es un circuito integrado que contiene dentro de un solo chip, una computadora completa.

OBJETIVOS DE LA ASIGNATURA

Al concluir el curso los alumnos deberán ser capaces de:

1. Conocer y evaluar los distintos métodos de implementación de sistemas embebidos.

2. Desarrollar e implementar un sistema embebido con microcontroladores de complejidad media.
3. Desarrollar y simular un sistema embebido con lógica programable.

CONOCIMIENTOS ESPECÍFICOS PREVIOS PARA CURSAR LA ASIGNATURA

Los alumnos deberán manejar conocimientos básicos de electrónica y lógica digital para lo cual se recomienda haber cursado la asignatura electrónica digital

METODOLOGÍA DE ENSEÑANZA

Las clases combinan distintas modalidades de intervención docente.

- Algunas clases del tipo clase magistral donde el profesor desarrolla alguna temática que presenta un grado de dificultad específico y requiere un abordaje interdisciplinario
- Formación experimental en el laboratorio de electrónica donde los alumnos intercambian puntos de vista, interactúan creativamente y aprenden a trabajar en equipo. Esta modalidad se utiliza lo largo de toda la asignatura.
- Estudio de casos para posibilitar la integración entre teoría y práctica.
- Aprendizaje basado en problemas para la Unidad 1 mediante el Problema de Ingeniería No 1.

PROGRAMA ANALÍTICO

Título: Dispositivos lógicos programables de arquitectura configurable

Descripción/ Contenidos: La unidad 1 comprende los **dispositivos lógicos programables de arquitectura configurable**. La configurabilidad es un concepto asociado a aquellos circuitos integrados en donde su función se puede modificar utilizando solamente una parte de los elementos que lo componen y/o cambiando la interconexión entre ellos. En la literatura anglosajona se suelen denominar simplemente programables. Es posible clasificar a estos circuitos integrados en dos grandes grupos. Los más simples son aquellos con recursos de interconexión concentrados o de organización matricial (en inglés **Programmable logic devices o PLD**). Los más complejos poseen recursos de interconexión distribuidos (en inglés **Field programmable gate array o FPGA**).

1.1 Dispositivos lógicos programables: PAL; GAL; CPLD y FPGA.

1.1 Lenguajes de descripción de hardware. VHDL. Formas de describir un circuito. Sintaxis. Operadores. VHDL secuencial y concurrente. Señales y variables. Máquinas de estado.

1.2 Secuencia de diseño con la herramienta ISE de Xilinx.

Título: Dispositivos lógicos programables de arquitectura fija

Descripción/ Contenidos: Los **dispositivos lógicos programables de arquitectura fija** son circuitos integrados que se caracterizan por poseer un sistema físico –hardware- en el que los elementos que lo componen están unidos mediante conexiones fijas que no pueden ser modificadas por el usuario. Dentro de esta categoría, los circuitos integrados más complejos que podemos encontrar son los **microcontroladores**. Un microcontrolador es un circuito integrado que

contiene dentro de un solo chip, una computadora completa.

2. Microcontroladores PIC de gama media. Arquitectura, modelo de ejecución, organización de la memoria, repertorio de instrucciones, registros de propósito específico.

2.2 Gestión de las interrupciones, E/S, temporizadores, watchdog timer.

2.3 Programación en ensamblador. Diseño y simulación con la herramienta Proteus

BIBLIOGRAFÍA BÁSICA

Título: Interfacing PIC Microcontrollers
Autores: Martin Bates
ISBN: 978-0-7506-8028-8 **Editorial:** Elsevier
Formato: paperback
Descripción: El libro presenta una interesante visión del desarrollo de sistemas embebidos con microcontroladores PIC mediante la herramienta de simulación ISIS del Proteus.
Selección de Páginas: Se usará el libro completo

Título: VHDL Lenguaje para síntesis y modelado de circuitos
Autores: Fernando Pardo Carpio
ISBN: 978-84-9964-040-2 **Editorial:** Editorial RAMA
Formato: Rústica
Descripción: El libro presenta el lenguaje VHDL y su sintaxis. Introduce la metodología de trabajo inherente al lenguaje, ya que se trata del flujo de diseño actual de circuitos digitales. Además, se centra en las dos grandes áreas de aplicación del VHDL: la simulación y la síntesis automática de circuitos.
Selección de Páginas: Se usará el libro completo

BIBLIOGRAFÍA COMPLEMENTARIA

No se ha cargado bibliografía complementaria para esta asignatura.

CRONOGRAMA DE ACTIVIDADES

Actividad: Presentación de la asignatura. Unidad 1: Dispositivos lógicos programables de arquitectura configurable. (17 de agosto)
Semana: 1
Horas: 4
Tipo: T
Docentes a Cargo: Santiago Roatta

Descripción: Dispositivos lógicos programables de arquitectura configurable. PLD, CPLD y FPGA. Metodología de diseño. El lenguaje VHDL y el entorno ISE de Xilinx.

Actividad: Introducción al lenguaje VHDL (24 de agosto)

Semana: 2

Horas: 4

Tipo: EP

Docentes a Santiago Roatta

Cargo:

Descripción: Introducción al lenguaje VHDL. Descripción funcional, de flujo de datos y estructural. **Problema 1** Describir en VHDL y simular: **a)** un multiplexor 4 a 1; **b)** un semisumador; **c)** un conversor BCD a 7 segmentos.

Actividad: Conceptos avanzados en VHDL (31 de agosto)

Semana: 3

Horas: 5

Tipo: T

Docentes a Santiago Roatta

Cargo:

Descripción: VHDL concurrente y secuencial. Máquinas de estado. **Problema 2 a)** Diseñar con estilo estructural y simular un sumador completo de 8 bits. Utilizar semisumadores. **b)** Realizar el mismo diseño con un estilo funcional

Actividad: Unidad 2. Dispositivos lógicos programables de arquitectura fija (7 de setiembre)

Semana: 4

Horas: 5

Tipo: T

Docentes a Santiago Roatta

Cargo:

Descripción: Introducción a los microcontroladores PIC de gama media. El PIC 16F84A. Repertorio de instrucciones y modelo de programación.

Actividad: Programación de microcontroladores de gama media (14 de setiembre)

Semana: 5

Horas: 6

Tipo: T

Docentes a Eugenio Juan Manuel Padula, Santiago Roatta

Cargo:

Descripción: Modelo de memoria, gestión de las interrupciones y registros de propósito específico. Temporizadores. El watchdog timer. Entrega de los problemas 1 y 2

Actividad: Programación de microcontroladores de gama media (21 de setiembre)
Semana: 6
Horas: 6
Tipo: PL
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta
Descripción: Diseños de sistemas con switches y leds. El entorno MPLAB. Simulación con el ISIS de Proteus.

Actividad: Programación de microcontroladores de gama media (28 de setiembre)
Semana: 7
Horas: 6
Tipo: PL
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta
Descripción: **Ejemplo 1:** Examinar y comprender el sistema de control de un semáforo *traffic lights* provisto por la cátedra. Simularlo.

Actividad: 1er examen parcial y 6to turno de examen (5 de octubre)
Semana: 8
Horas: 3
Tipo: C
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta

Actividad: Diseño de un contador binario (12 de octubre)
Semana: 9
Horas: 6
Tipo: P/D
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta
Descripción: **Problema 3.** Diseñar un sistema contador binario capaz de contar de 0 a 255 mediante la visualización de 8 leds. El sistema debe tener un pulsador R (reset) y otro C (cuenta). Cada vez que se presiona C la cuenta avanza una unidad, presionado R la cuenta vuelve a cero. Dibujar el esquemático con la herramienta ISIS y simularlo. Generar el PCB layout, exportando el sistema a la herramienta ARES

Actividad: Continuación del problema 3 (19 de octubre)
Semana: 10
Horas: 6
Tipo: P/D
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta

Actividad: Entrada/salida en microcontroladores de gama media (26 de octubre)
Semana: 11
Horas: 6
Tipo: T
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta
Descripción: Conexión y barrido de un display de 7 segmentos y un teclado matricial. Entrega del problema 3.

Actividad: Multiplexación de la entrada/salida (2 de noviembre)
Semana: 12
Horas: 6
Tipo: PL
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta
Descripción: **Problema 4** Diseñar un sistema que explore de un teclado matricial y muestre el número pulsado en un display de 7 segmentos. Simularlo.

Actividad: Microcontroladores avanzados (9 de noviembre)
Semana: 13
Horas: 6
Tipo: PL
Docentes a Cargo: Eugenio Juan Manuel Padula
Descripción: Estudio de casos

Actividad: 2do examen parcial (16 de noviembre)
Semana: 14
Horas: 3
Tipo: C
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta
Descripción: Semana de examen y consultas

Actividad: Examen parcial recuperatorio (23 de noviembre)
Semana: 15
Horas: 3
Tipo: C
Docentes a Cargo: Eugenio Juan Manuel Padula, Santiago Roatta
Descripción: Examen recuperatorio y consulta de trabajos prácticos

REQUERIMIENTOS DE LA ASIGNATURA

Detallar cuanto sea necesario para que los alumnos no tengan dudas sobre cada uno de estos requerimientos:

Para Regularizar: El alumno accederá a la condición de REGULAR, si cumple con las siguientes condiciones de cátedra:

A - Obtener en 2 evaluaciones parciales, una calificación promedio superior a los 60 Puntos. Con ninguna nota inferior a 50 Puntos en cada parcial.

B - Responder a la totalidad de los cuestionarios y puntos incluidos en cada práctica de laboratorio o gabinete, en los tiempos y forma exigidos por el responsable docente de cada comisión. El alumno deberá contar con una carpeta de trabajos prácticos individual, con la totalidad de los cuestionarios y práctica efectuada.

C - Asistir al 80% de las clases teóricas y prácticas, dictadas durante el presente cuatrimestre.

Para Promocionar: **Alumno Promocional**

El alumno accederá a la condición de PROMOCIONADO, si cumple con las siguientes condiciones de cátedra:

A - Obtener en 2 evaluaciones parciales, una calificación promedio superior a los 80 Puntos. Con ninguna nota inferior a 60 Puntos en cada parcial.

B - Presentar en los tiempos y forma establecidos por la cátedra, un trabajo sobre un tema aceptado o propuesto por la misma.

Dichos temas serán presentados por la cátedra con la antelación requerida para su cumplimiento con un cronograma para su evaluación y presentación.

C - Responder a la totalidad de los cuestionarios y puntos incluidos en cada práctica de laboratorio o gabinete, en los tiempos y forma exigidos por el responsable docente de cada comisión. El alumno deberá contar con una carpeta de trabajos prácticos individual, con la totalidad de los cuestionarios y práctica efectuada.

D - Asistir al 80% de las clases teóricas y prácticas, dictadas durante el presente cuatrimestre.

E- Aprobar el Coloquio Final Integrador

Las condiciones establecidas para Alumno Promocional se ajustan a los requerimientos del Régimen de enseñanza en su CAPÍTULO VI: DE LA PROMOCIÓN DE ASIGNATURAS

EXAMEN FINAL

Para Alumnos Regulares: El examen final es escrito.
 El examen final es teórico práctico.
 En todos los casos se evalúa sobre el programa vigente o actual.
 Las evaluaciones se realizan en la fecha y hora asignada por las autoridades de la facultad, realizándose las correcciones en el mismo día.
 La calificación se entrega el mismo día de examen.
 El alumno puede solicitar y se le permite la revisión de su examen.
 Se cumple con lo establecido por el Reglamento de Enseñanza de la FICH UNL

Para Alumnos Libres: La única diferencia con el examen de alumno regular, es que el examen de alumno libre incluye las actividades de diseño y de formación experimental realizadas en el laboratorio de electrónica

EVALUACIONES

PARCIALES

Fecha: 05-10-2011 **Título:** 1er examen parcial

Temas / Descripción: El examen incluye la unidad 1: Dispositivos lógicos programables de arquitectura reconfigurable, síntesis en VHDL

Fecha: 16-11-2011 **Título:** 2do examen parcial

Temas / Descripción: Unidad 2; programación de microcontroladores PIC de gama media

Fecha: 23-11-2011 **Título:** Evaluación parcial recuperatorio

Temas / Descripción: Examen recuperatorio de ambos parciales

TRABAJOS PRÁCTICOS

Fecha: 14-09-2011 **Título:** Síntesis en VHDL

Temas / Descripción: Evaluación de los problemas 1 y 2

Fecha: 26-10-2011 **Título:** Diseño con microcontroladores

Temas / Descripción: Evaluación del problema Nro 3

Fecha: 16-11-2011 **Título:** Diseño con microcontroladores

Temas / Evaluación del problema 4

Descripción: -----

INFORMACIÓN COMPLEMENTARIA

No se ha ingresado información complementaria para esta asignatura